

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-027849

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H02H 3/24

(21)Application number : 09-181191

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.07.1997

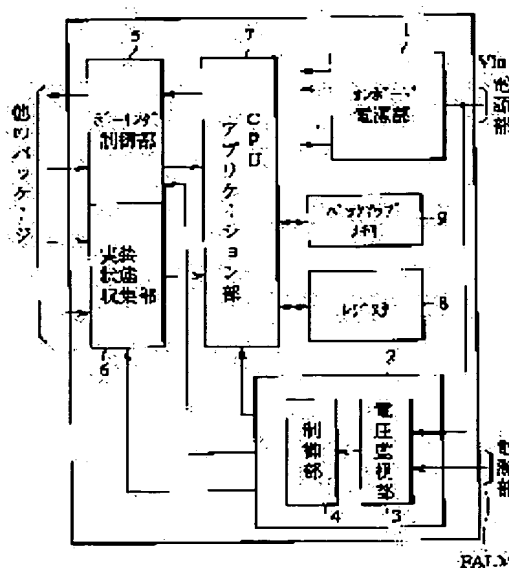
(72)Inventor : **ONUMA KAZUHIRO**  
**HAYAKAWA YUKIHIRO**

(54) MONITOR CONTROL CIRCUIT AND COMMUNICATION EQUIPMENT EMPLOYING IT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent malfunction due to difference of output voltage drop characteristics at an onboard power supply section by detecting an input voltage dropping below a set level and stopping the polling for collecting the mounting state of each package at a polling control section.

**SOLUTION:** A voltage monitoring section 3 detects the input voltage  $V_{in}$  from a power supply section to an onboard power supply section 1 dropping below a set level and delivers a voltage drop detection signal to a control section 4. Upon receiving the voltage drop detection signal or an interruption detection alarm signal FALM due to blown-out of fuse at the power supply section, the control section 4 controls any one or a plurality of a polling control section 5, a mounting state collecting section 6 and a CPU application section 7 such that the polling is interrupted. According to the arrangement, incorrect recognition of non-mounted package can be prevented by stopping the polling immediately even it the operable interval is different due to different output voltage drop characteristics at the onboard power supply section 1.



## LEGAL STATUS

[Date of request for examination] 16.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3451418

[Date of registration] 18.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-27849

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.<sup>6</sup>

H 0 2 H 3/24

識別記号

F I

H 0 2 H 3/24

Q

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平9-181191

(22) 出願日 平成9年(1997) 7月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 大沼 一広

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 早川 幸宏

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

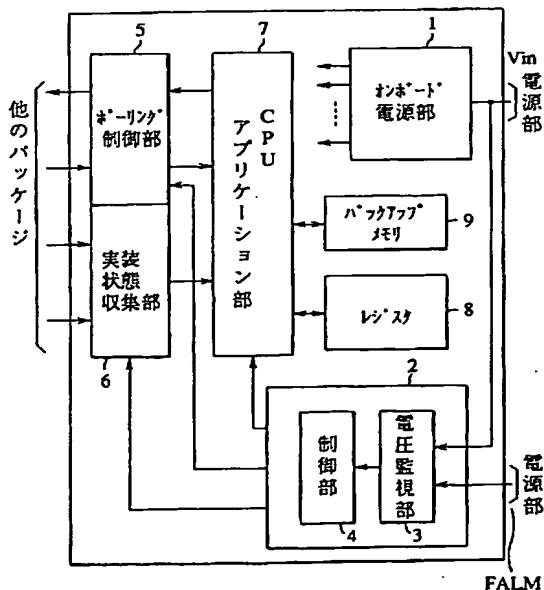
(54) 【発明の名称】 監視制御回路及び該回路を用いた通信装置

(57) 【要約】

【課題】 監視制御回路及びこの回路を用いた通信装置に関し、電源断等による電圧低下時の誤動作を防止する。

【解決手段】 パッケージに搭載して入力電圧  $V_{in}$  を安定化して各部に供給するオンボード電源部1の入力電圧  $V_{in}$  を監視する電圧監視部3と、この電圧監視部3により入力電圧  $V_{in}$  が設定値以下に低下したことを検出した電圧低下検出信号又は入力電圧  $V_{in}$  を供給する電源部のヒューズ断等による断検出警報信号 FALM により、ポーリング制御部5、実装状態収集部6、CPUアプリケーション部6の少なくとも何れか一つによるポーリング動作を停止させる制御部4とを備えている。

本発明の原理説明図



1

## 【特許請求の範囲】

【請求項1】 安定化電圧をパッケージ内に供給するオンボード電源部の入力電圧を監視する電圧監視部と、該電圧監視部により前記入力電圧が設定値以下に低下したことを検出した電圧低下検出信号又は前記入力電圧を供給する電源部の断検出警報信号によって、ボーリング制御部による各パッケージの実装状態を収集するボーリング処理を停止させる制御部とを備えたことを特徴とする監視制御回路。

【請求項2】 前記ボーリング制御部と前記各パッケージとの間にボーリング・イネーブル部を設け、前記制御部は、前記電圧監視部による前記入力電圧が設定値以下に低下したことを検出した電圧低下検出信号と、前記入力電圧を供給する電源部の断検出警報信号との何れか一方又は両方により、前記ボーリング制御部からのボーリング情報の送受信を、前記ボーリング・イネーブル部を制御して停止させる構成を備えたことを特徴とする請求項1記載の監視制御回路。

【請求項3】 前記制御部は、前記電圧監視部による前記入力電圧が設定値以下に低下したことを検出した電圧低下検出信号と、前記入力電圧を供給する電源部の断検出警報信号との何れか一方又は両方により、前記ボーリング制御部を制御するCPUアプリケーション部にボーリング・プログラムの実行を停止させる構成を備えたことを特徴とする請求項1又は2記載の監視制御回路。

【請求項4】 ボーリング強制停止制御部と、パッケージ対応電源障害警報収集部とを設け、前記ボーリング強制停止制御部は、前記パッケージ対応電源障害警報収集部による電源障害警報信号と、前記電圧低下検出信号又は前記断検出信号とによる前記制御部からの出力信号との何れか一方又は両方により、CPUアプリケーション部に於けるボーリング・プログラムの実行を停止させ且つ前記ボーリング・イネーブル部を介した前記ボーリング制御部によるボーリング動作を強制停止させる構成を備えたことを特徴とする請求項1乃至3の何れ1項記載の監視制御回路。

【請求項5】 入力電圧を安定化した安定化電圧をパッケージ内に供給するオンボード電源部と、複数の他のパッケージに対するボーリング制御を行うボーリング制御部と、該ボーリング制御部によるボーリング制御によって各パッケージの実装状態を収集する実装状態収集部と、ボーリングのプログラムを実行して前記ボーリング制御部及び前記実装状態収集部を制御するCPUアプリケーション部と、該CPUアプリケーション部の外部記憶部のレジスタと、運用設定情報を格納するバックアップメモリとを少なくとも搭載した監視制御部を構成するパッケージと、

それぞれオンボード電源部を搭載したインタフェース部等を構成するパッケージとを実装した通信装置に於いて、

2

前記監視制御部は、前記請求項1乃至4の何れか1項記載の監視制御回路を備えたことを特徴とする通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電源障害を検出して誤動作を防止する監視制御回路及び該回路を用いた通信装置に関する。大規模集積回路(VLSI)や多層プリント基板等により各種のパッケージは高密度化されている。このようなパッケージを複数実装して、伝送装置、多重化装置、交換装置等の各種の通信装置が構成されている。又パッケージの実装スペースを有効に利用する為に、集中電源部の代わりに、各パッケージにオンボード電源部を搭載した構成が採用されている。このような構成に於ける電源障害等による誤動作を防止することが要望されている。

## 【0002】

【従来の技術】図4は通信装置の概要説明図であり、60はユニットであり、単一のユニット又は複数のユニットを実装した架(シェルフ)によって通信装置が構成される。又61はCLK(クロック)部、62~66はIF(インタフェース)部、67は監視制御部をそれぞれ構成するパッケージである。又電源部68-0、68-1は0系と1系との二重化された場合を示し、これを一次電源としてバックボードの電源線69-0、69-1を介して、各パッケージに例えば-48Vの電圧を供給し、各パッケージのオンボード電源部を二次電源として、各パッケージ内に安定化電圧を供給する。この場合、各オンボード電源部に於いて0系と1系との何れかを現用系として選択する構成とすることができる。

【0003】各パッケージは、オンボード電源部を有し、このオンボード電源部は、電源部68-0、68-1から電源線69-0、69-1を介して供給される入力電圧を、5Vや24V等の安定化電圧としてパッケージ内の各部に供給する構成を有し、例えば、スイッチングレギュレータによって構成されている。従って、電源部としてのパッケージをユニット60に実装する必要がなくなり、その分、インタフェース部等のパッケージを多く実装することができる。又監視制御部67は、点線で示すように、ボーリングにより定期的に各パッケージから実装状態情報を収集するものである。

【0004】図5は従来例の要部説明図であり、従来例の監視制御部67の要部を示し、オンボード電源部70は、前述のように、電源線69-0、69-1からの入力電圧を安定化してパッケージ内に供給する。又71はボーリング制御部、72は実装状態収集部、73はCPUアプリケーション部、74はバックアップメモリ、75はレジスタである。

【0005】ボーリング制御部71は、通信装置を構成する各パッケージに対してボーリング情報の送受信を行うものであり、実装状態収集部72は、通信装置を構成

3

する各パッケージの実装状態の情報を収集する。又CPUアプリケーション部73は、ボーリングを行う為のプログラムを実行して、ボーリング制御部71及び実装状態収集部72を制御する。又レジスタ75はCPUアプリケーション部73の外部記憶部として各種の情報を格納するものである。又バックアップメモリ74は、通信装置を起動する際の各部の運用情報を格納するものであり、立上時は保守者が運用情報を設定することになる。

【0006】ボーリング制御部71による各パッケージに対するボーリング情報の送受信により、各パッケージの実装状態の情報を実装状態収集部72により収集し、CPUアプリケーション部73に転送する。又バックアップメモリ74に実装状態の情報が格納される。

【0007】通信装置を起動する場合、バックアップメモリ74に格納されている情報を、CPUアプリケーション部73の指令に従ったボーリング制御により、それぞれのパッケージに設定し、この設定終了により通信装置として運用が開始される。そして、定期的にボーリングを行って設定情報の確認、警報状態等の収集を行うものである。

【0008】

【発明が解決しようとする課題】オンボード電源部は、パッケージの種類等に対応した容量の構成とするものであり、CLK(クロック)部61、IF(インタフェース)部62~66は比較的小容量のオンボード電源部が搭載されて小型化されているが、監視制御部67はプロセッサや他の監視制御機能を含むものであるから、容量の大きいオンボード電源部70を搭載している。その為に、電源部68-0、68-1の障害等によって入力電圧が断又は低下した時に、オンボード電源部の出力電圧の降下特性が相違することになる。

【0009】例えば、図6に示すように、入力電圧が正常の場合の監視制御部67のオンボード電源部70の安定化された出力電圧と、他のパッケージのオンボード電源部の安定化された出力電圧とがV1で、それぞれ動作可能と電圧をV2とすると、時刻t1に電源断となった時、監視制御部67の比較的小容量の大きいオンボード電源部70の出力電圧降下特性はa、他のパッケージの比較的小容量の小さいオンボード電源部の出力電圧降下特性はbとなる。従って、電圧V1からV2に低下のは、監視制御部67は時刻t3、他のパッケージは時刻t2となる。即ち、他のパッケージは時刻t2まで動作可能であり、又時刻t3まで監視制御部67は動作可能であるが、他のパッケージは時刻t2以後は動作不可能となる。

【0010】その為に、時刻t2から時刻t3までの間に、監視制御部67のボーリング制御部71からボーリングを行って、各パッケージの実装状態の情報を収集する場合があります、その時には、他のパッケージのオンボード電源部の出力電圧はV2以下に低下して動作不可能の

4

状態となる。従って、監視制御部67では、ボーリング応答がないことにより未実装と判断して、バックアップメモリ74に格納されている運用情報等を更新することになる。

【0011】それにより、電源断が回復して再起動する場合に、バックアップメモリ74に格納された実装状態の情報を基に各パッケージの設定を行う時に、実際には実装されているパッケージであっても、未実装として取り扱うことになり、自動的に復旧させることができないものであった。従って、保守者が再設定を行うことによって再起動することになり、保守、運用上問題となっている。本発明は、電源断又は電圧低下を検出することにより、ボーリングを停止して、オンボード電源部の出力電圧降下特性の相違による誤動作を防止することを目的とするものである。

【0012】

【課題を解決するための手段】本発明の監視制御回路は、(1)安定化電圧をパッケージ内に供給するオンボード電源部1の入力電圧を監視する電圧監視部3と、この電圧監視部3により前記入力電圧が設定値以下に低下したことを検出した電圧低下検出信号又は入力電圧を供給する電源部の断検出警報信号によって、ボーリング制御部5による各パッケージの実装状態を収集するボーリング処理を停止させる制御部4とを備えている。それにより、入力電圧断等の場合に、不安定なボーリングを停止することができるから、入力電圧回復時の再起動を自動化することができる。

【0013】又(2)ボーリング制御部5と各パッケージとの間にボーリング・イネーブル部を設け、前記制御部4は、前記電圧監視部3による前記入力電圧が設定値以下に低下したことを検出した電圧低下検出信号と、前記入力電圧を供給する電源部の断検出警報信号との何れか一方又は両方により、前記ボーリング制御部5からのボーリング情報の送受信を、ボーリング・イネーブル部を制御して停止させる構成を備えることができる。

【0014】又(3)監視制御回路2の制御部4は、電圧監視部3による前記入力電圧が設定値以下に低下したことを検出した電圧低下検出信号と、前記入力電圧を供給する電源部の断検出警報信号との何れか一方又は両方により、ボーリング制御部5を制御するCPUアプリケーション部にボーリング・プログラムの実行を停止させる構成を備えることができる。

【0015】又(4)ボーリング強制停止制御部と、パッケージ対応電源障害警報収集部とを設け、ボーリング強制停止制御部は、パッケージ対応電源障害警報収集部による電源障害警報信号と、前記電圧低下検出信号又は前記断検出信号とによる制御部4からの出力信号との何れか一方又は両方により、CPUアプリケーション部7に於けるボーリング・プログラムの実行を停止させ且つボーリング・イネーブル部を介したボーリング制御部5

5

によるボーリング動作を強制停止させる構成を備えることができる。

【0016】又(5)入力電圧を安定化した安定化電圧をパッケージ内に供給するオンボード電源部1と、複数の他のパッケージに対するボーリング制御を行うボーリング制御部5と、このボーリング制御部5によるボーリング制御によって各パッケージの実装状態を収集する実装状態収集部6と、ボーリングのプログラムを実行してボーリング制御部5及び実装状態収集部6を制御するCPUアプリケーション部7と、このCPUアプリケーション部7の外部記憶部のレジスタ8と、運用設定情報を格納するバックアップメモリ9とを少なくとも搭載した監視制御部を構成するパッケージと、それぞれオンボード電源部を搭載したインタフェース部等のパッケージとを実装した通信装置に於いて、監視制御部は、前述の(1)乃至(4)に記載した構成の監視制御回路を備えている。

【0017】

【発明の実施の形態】図1は本発明の原理説明図であり、監視制御部を構成するパッケージの要部を示し、1はオンボード電源部、2は監視制御回路、3は電圧監視部、4は制御部、5はボーリング制御部、6は実装状態収集部、7はCPUアプリケーション部、8はレジスタ、9はバックアップメモリである。又他のパッケージに於いてもそれぞれオンボード電源部が搭載されており、監視制御部のパッケージを含めて、インタフェース(IF)部やクロック(CLK)部を構成する他のパッケージを図4に示すように実装して通信装置を構成している。

【0018】又オンボード電源部1、ボーリング制御部5、実装状態収集部6、CPUアプリケーション部7、レジスタ8、バックアップメモリ9については、従来例と同様の機能を有するものであるが、ボーリング制御部5又は実装状態収集部6又はCPUアプリケーション部7の少なくとも何れか一つは、監視制御回路2によってボーリング動作を停止する構成を有するものである。

【0019】又監視制御回路2は、電圧監視部3と制御部4とを含み、電圧監視部3により、一次電源としての電源部からのオンボード電源部1への入力電圧 $V_{in}$ が設定値以下に低下したことを検出した時に、電圧低下検出信号を制御部4に入力する。この制御部4は、電圧低下検出信号が入力された時、又は入力電圧 $V_{in}$ を供給する電源部のヒューズ断等による断検出警報信号FALMが入力された時に、ボーリングを停止するように、ボーリング制御部5、実装状態収集部6、CPUアプリケーション部7の何れか一つ又は複数を制御する。

【0020】入力電圧 $V_{in}$ を供給する電源部の障害により、電圧低下検出信号又は断検出警報信号FALMが制御部4に入力された時に、オンボード電源部1の出力電圧降下特性に従って、監視制御部の動作が可能な状態

6

に於いても、他のパッケージの動作が不可能となるから、ボーリングを停止することによって、実装パッケージを未実装と誤認識することを確実に防止することができる。例えば、図6に於いて、時刻 $t_1$ に断検出警報信号FALMが入力されると、他のパッケージのオンボード電源部の出力電圧が $V_2$ 以下に低下する時刻 $t_2$ 前に確実にボーリング動作を停止できることになる。それによって、バックアップメモリ9は、電源電圧低下時のボーリングが停止されるから、実装状態の情報が更新されることを防止できる。従って、入力電圧の回復時にバックアップメモリ9の格納情報を基に他のパッケージの再立上げが可能となり、自動的に再起動することができる。

【0021】図2は本発明の第1の実施の形態の説明図であり、通信装置を構成する監視制御部のパッケージの要部を示し、11はオンボード電源部、12は監視制御回路、13は電圧監視部、14は制御部、15はボーリング制御部、16は実装状態収集部、17はCPUアプリケーション部、18はレジスタ、19はバックアップメモリ、20はボーリング・イネーブル部、21、22はゲートを示す。

【0022】この実施の形態は、一次電源が0系と1系との二重化構成を有し、オンボード電源部11は、0系と1系との二重化構成の電源部からの入力電圧を選択し、安定化電圧として各部に供給する。又監視制御回路12の電圧監視部13は、0系と1系との二重化構成の電源部からの入力電圧を監視し、両方からの入力電圧が共に設定値以下に低下した時に電圧低下検出信号を制御部14に加える。又0系と1系との二重化構成の電源部のヒューズ断等による断検出警報信号FALMが制御部14に入力される。通常は、断検出警報信号FALMが入力された後、電圧監視部13から電圧低下検出信号が出力される。

【0023】制御部14は、電圧監視部13からの電圧低下検出信号と、電源部からの断検出警報信号FALMとの何れか一方又は両方が入力された時に、ボーリングを停止するように制御するものである。例えば、制御部14からの制御信号により、ボーリング・イネーブル部20のゲート21、22をオフとすると、ボーリング制御部15と他のパッケージとの間でボーリング情報の送受信が停止されるから、ボーリングを停止したことになる。

【0024】又制御部14からレジスタ18の所定ビットを例えば“1”とする。それにより、CPUアプリケーション部17は、レジスタ18の所定ビットが“1”であるから、ボーリング停止命令と判断して、ボーリングのプログラムの実行を停止する。それにより、ボーリング制御部15に対してボーリング動作を指示しないことになるから、ボーリング動作は停止される。

【0025】前述のように、入力電圧を供給する電源部

の障害発生時には、監視制御部を構成するパッケージのオンボード電源部11が動作可能な電圧を出力していても、他の小容量のオンボード電源部を搭載したパッケージがポーリング応答を送出できない状態となる前に、ポーリングを停止するから、実装状態の情報の誤収集を確実に防止することができる。

【0026】図3は本発明の第2の実施の形態の説明図であり、31はオンボード電源部、32は監視制御回路、33は電圧監視部、34は制御部、35はポーリング制御部、36は実装状態収集部、37はCPUアプリケーション部、38はレジスタ、39はバックアップメモリ、40はポーリング・イネーブル部、41、42はゲート、43はポーリング強制停止制御部、44、45は論理部、46は電源障害警報収集部、47-1~47-nはアンド回路、B1~Bnは他のパッケージのオンボード電源部の電源障害検出信号を示す。

【0027】この実施の形態は、図2に示す実施の形態に対して、ポーリング強制停止制御部43と電源障害警報収集部46とを設けた構成に相当するもので、電源障害警報収集部46は、複数の他のパッケージのオンボード電源部の出力電圧の低下等の障害発生時の電源障害検出信号B1~Bnを、実装状態の情報とのアンド条件により収集するもので、アンド回路47-1~47-nはそれぞれのパッケージ対応に設けられている。又論理部45は、例えば、オア回路構成とし、電源障害検出信号B1~Bnの何れか一つでも収集した時に、ポーリング強制停止制御部43に収集した信号を加える。

【0028】ポーリング強制停止制御部43は、論理部44を含み、制御部34からの制御信号と、電源障害警報収集部46からの信号との何れか一方又は両方により、ポーリング・イネーブル部40のゲート41、42を閉じ、又CPUアプリケーション部37にポーリングの実行停止を通知する。それにより、CPUアプリケーション部37はポーリング・プログラムの実行を停止する。

【0029】なお、0系、1系の電源部が正常の場合に、電源障害警報収集部46により収集した電源障害検出信号B1~Bn対応のパッケージを識別し、そのパッケージに対するポーリングのみを停止するように、CPUアプリケーション部37に通知する構成とすることも可能である。又電源障害発生時に、ポーリング制御部と実装状態収集部とCPUアプリケーション部との何れか一つによるポーリング動作を停止させる構成とすることも可能である。

# 【0030】

【発明の効果】以上説明したように、本発明は、少なくとも電圧監視部3と制御部4とを備えて、電圧監視部3により、オンボード電源部1の入力電圧Vinを監視し、この電圧監視部3に於いて入力電圧Vinが設定値以下に低下したことを検出した電圧低下検出信号、又は入力電圧Vinを供給する電源部からの断検出警報信号FALMが入力された時に、ポーリング制御部5によるポーリング処理を、制御部4によって停止させるものであり、電源障害によるオンボード電源部の出力電圧低下特性が異なることによる動作可能な期間が相違しても、直ちにポーリングを停止するから、実装されたパッケージを未実装と誤認することを防止することができる。従って、バックアップメモリ9を誤認に基づいて更新することを回避できるから、入力電圧Vinの回復時には、自動的に再起動させることが可能となる利点がある。

【0031】又監視制御部とインタフェース部やクロック部等とを構成する複数のパッケージを実装して構成した通信装置に於いて、監視制御部に前述の監視制御回路を搭載することにより、電源部の障害による誤動作を防止し、且つ入力電圧の回復時には、各パッケージに対してポーリングによる再設定を行って自動的に再起動させることができるから、通信装置としての信頼性を向上することができる利点がある。

## 【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1の実施の形態の説明図である。

【図3】本発明の第2の実施の形態の説明図である。

【図4】通信装置の概要説明図である。

【図5】従来例の要部説明図である。

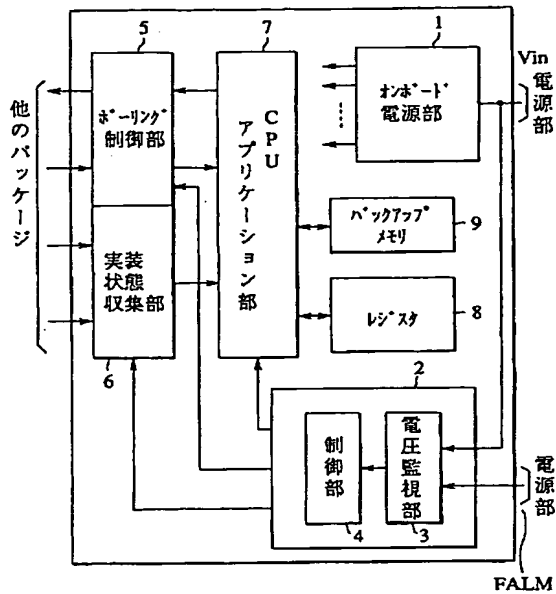
【図6】出力電圧降下特性の説明図である。

## 【符号の説明】

- 1 オンボード電源部
- 2 監視制御回路
- 3 電圧監視部
- 4 制御部
- 5 ポーリング制御部
- 6 実装状態収集部
- 7 CPUアプリケーション部
- 8 レジスタ
- 9 バックアップメモリ
- Vin 入力電圧
- FALM 断検出警報信号

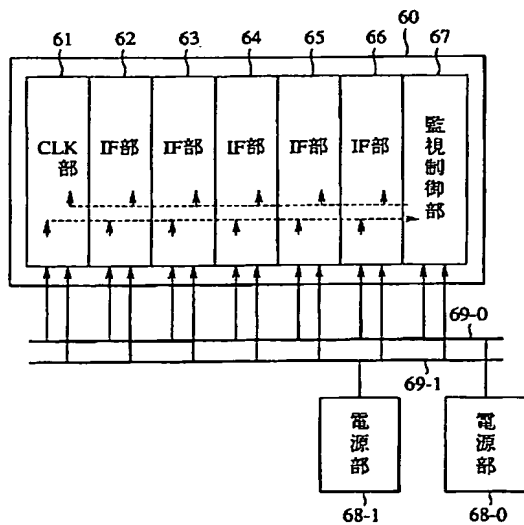
【図1】

本発明の原理説明図



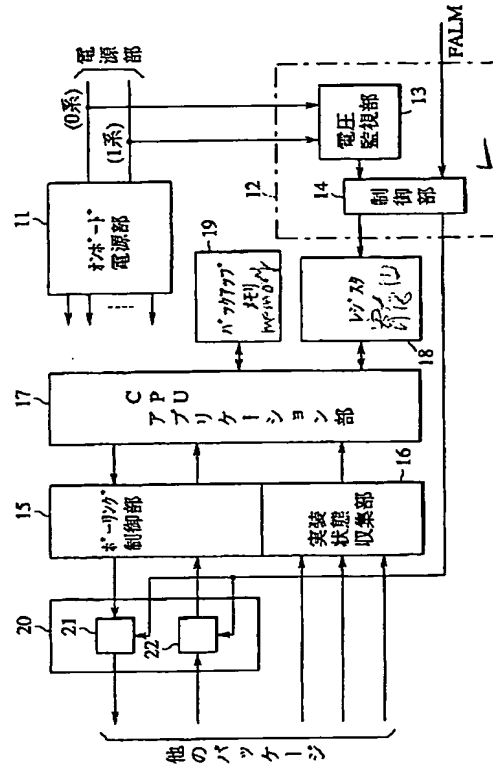
【図4】

通信装置の概要説明図



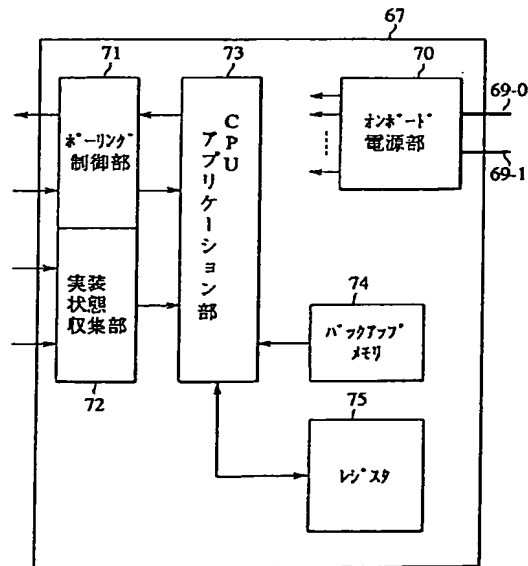
【図2】

本発明の第1の実施の形態の説明図



【図5】

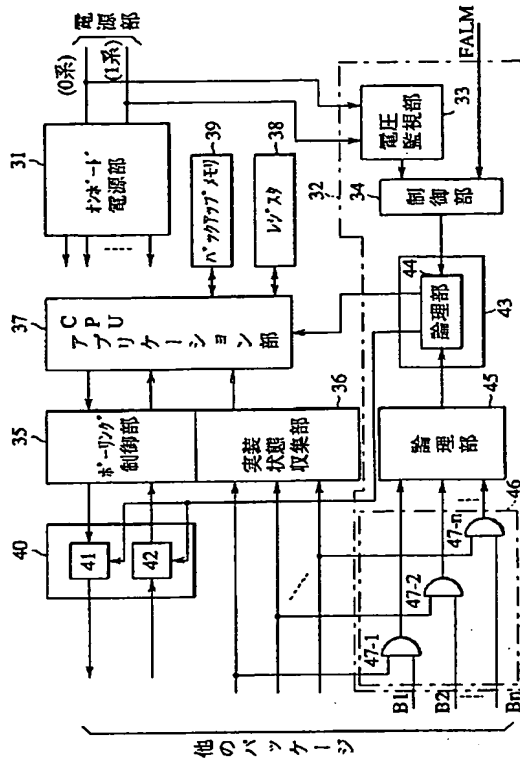
従来例の要部説明図





【図3】

本発明の第2の実施の形態の説明図



【図6】

出力電圧降下特性の説明図

